

19



Eur päisches Patentamt
European Patent Office
Office europ éen des brevets

11

Veröffentlichungsnummer:

**0 186 040
A1**

12

EUROPÄISCHE PATENTANMELDUNG

21

Anmeldenummer: 85115739.6

51

Int. Cl.⁴: **G 11 C 29/00**

22

Anmeldetag: 10.12.85

30

Priorität: 28.12.84 DE 3447762

43

Veröffentlichungstag der Anmeldung:
02.07.86 Patentblatt 86/27

84

Benannte Vertragsstaaten:
AT DE FR GB IT NL

71

Anmelder: **Siemens Aktiengesellschaft**
Berlin und München Wittelsbacherplatz 2
D-8000 München 2(DE)

72

Erfinder: **Hoffmann, Kurt, Dr. Prof.**
Nelkenweg 20
D-8028 Taufkirchen(DE)

54

Integrierter Halbleiterspeicher.

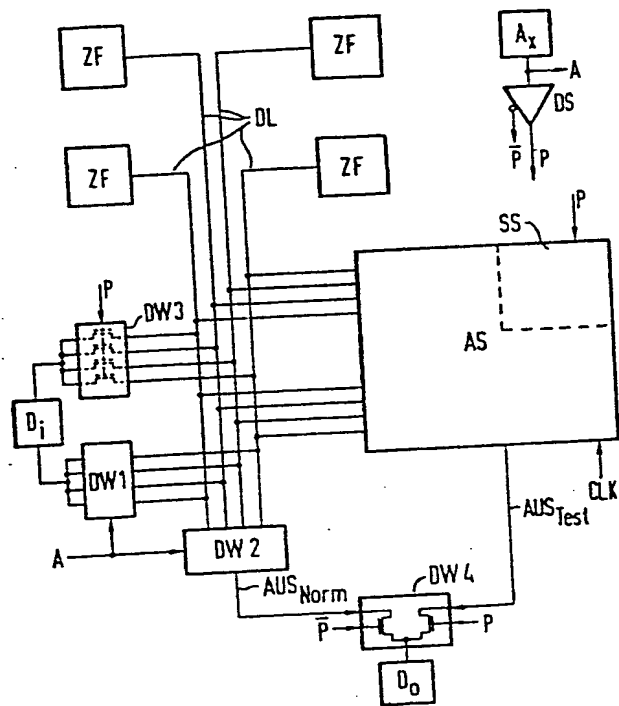
57

Ein Halbleiterspeicher ist in mehrere gleiche Zellenfelder aufgeteilt. Zum Testen können die Zellenfelder parallel beschrieben und ausgelesen werden. Dazu erfaßt eine in den Speicher integrierte Auswerteschaltung AS die ausgelesenen Daten. Sind die Daten fehlerfrei, so reicht sie diese an den Datenausgang durch. Erkennt die Auswerteschaltung AS jedoch einen Fehler, so setzt sie am Datenausgang ein Fehlersignal.

EP 0 186 040 A1

/...

FIG 1



Siemens Aktiengesellschaft
Berlin und München

Unser Zeichen

VPA

84 P 8 0 6 4 E

Integrierter Halbleiterspeicher

5

Die Erfindung betrifft einen integrierten Halbleiterspeicher nach dem Oberbegriff des Patentanspruches 1.

Halbleiterspeicher der vorgenannten Art sind z.B. aus IEEE
10 International Solid-State Circuits Conference 1981, Seiten
84 bis 85 und aus Elektronik, Nr. 15, 30.7.1982, Seiten
27 bis 30 bekannt. Bei diesen gattungsgemäßen

Halbleiterspeichern ist es bekannt, einen gesamten Spei-
cherbereich, der dem Anwender gegenüber 1-Bit breite

15 Datenschnittstellen für Datenein- und -ausgabe hat, in
n einander gleiche Zellenfelder aufzuteilen. Dazu ist
es üblich, jedem Zellenfeld speicherintern eine eigene
Datenleitung zuzuordnen, die alle über eine erste Daten-
weiche mit einem Dateneingangsanschluß verbunden sind.

20 Im Betrieb erfolgt die Auswahl, welche der n Daten-
leitungen auf den Dateneingangsanschluß durchgeschaltet
werden soll, über den bzw. eine entsprechende Anzahl von
höchstwertigen Adreßeingang (-eingenängen). Analog dazu sind
die n Datenleitungen mit einem Datenausgangsanschluß über
25 eine zweite Datenweiche verbunden.

Der Wert von n ist geradzahlig. Er ist weiterhin gleich
der Anzahl der gewünschten Zellenfelder und hängt davon
ab, ob an Adreßeingängen, über die der Halbleiterspeicher
30 ja bekanntlich adressiert wird, einfache Adreßsignale,
d.h. nur sogenannte X-Adressen bzw. Y-Adressen angelegt
werden, oder aber solche Adreßsignale, die innerhalb einer
Taktperiode des Halbleiterspeichers nacheinander sowohl eine
X-Adresse als auch eine Y-Adresse enthalten (Adreßmulti-

35

Ke 1 Ke / 27.12.1984

plexing). In diesem Fall kann n nur eine durch 4 teilbare Zahl sein.

Des weiteren sind auch Halbleiterspeicher bekannt, die
5 mehr als 1-Bit breite Datenschnittstellen für Datenein-
und -ausgabe haben. Typische Organisationsformen dazu
sind Datenschnittstellen in einer Breite von $m = 4, 8$ und
9 Bit. Solcher Art gestaltete Halbleiterspeicher enthal-
ten aufgrund der fortschreitenden Integrationsmöglich-
10 keiten immer mehr Speicherzellen. Die Zunahme an Speicher-
zellen je Halbleiterspeicher bedingt jedoch sowohl bei
dessen Hersteller als auch beim Kunden, der ja in all r
Regel eine sogenannte "incoming inspection" durchführt,
einen erhöhten zeitlichen, personellen und finanziellen
15 Aufwand zur Prüfung (Testen) von Halbleiterspeichern.
Aufgrund der speziellen, notwendigen Ausgestaltung von
Prüfmustern für das Testen steigt die zum Testen not-
wendige Zeit sogar exponentiell mit der Zunahme an Spei-
cherzellen an. Aus diesem Grunde ist es wünschenswert,
20 die Prüfzeit deutlich verkürzen zu können, ohne die ver-
wendeten Prüfmuster in ihrer Effizienz beschneiden zu
müssen. Frühere Versuche mit integrierten Schaltkreisen,
bei denen mehrere Halbleiterchips bzw. -bausteine pa-
rallel von einem Prüfautomaten getestet wurden, ergaben
25 zwar eine hervorragende Prüfzeitverkürzung, der not-
wendige mechanische Aufwand dazu (Prüfspitzen auf Schei-
benebene, Meßfassungen mit Kabeln, auf Bausteinebene)
war jedoch sehr groß. Außerdem mußten vorhandene Prüf-
programme auf komplizierte Art und Weise angepaßt
30 werden.

Aufgabe der vorliegenden Erfindung ist es deshalb, ei-
nen integrierten Halbleiterspeicher zu schaffen, der es
ermöglicht, die Prüfzeit ohne Verlust an Effizienz der
35 eingesetzten Prüfmuster deutlich zu verkürzen.

Diese Aufgabe wird erfindungsgemäß gelöst durch die kennzeichnenden Merkmale des Patentanspruches 1. Grundgedanke der Erfindung ist dabei, einen Halbleiterspeicher so auszugestalten, daß er zwar einerseits wie üblich
5 (Normalfall) betrieben werden kann, es jedoch andererseits (Testfall) möglich ist, Teilbereiche des Halbleiterspeichers speicherintern parallel zu schalten und sowohl ausgelesene Daten als auch ev. aufgetretene Fehler
10 meßtechnisch an einen Speicheranschluß (-pad, -pin) erfassen zu können.

Vorteilhafte Weiterbildungen und Ausprägungen der Erfindung sind in Unteransprüchen gekennzeichnet. Die Erfindung ist u.a. anwendbar sowohl auf
15 DRAM's und SRAM's als auch auf EPROM's und EEPROM's.

Im folgenden wird die Erfindung anhand von Figuren näher beschrieben. Es zeigen:

- 20 Fig. 1 eine erste Ausführungsform der Erfindung,
Fig. 2 eine spezielle Ausgestaltung einer Auswerteschaltung AS,
Fig. 3 eine zweite Ausführungsform der Erfindung,
Fig. 4 eine dritte Ausführungsform der Erfindung,
25 Fig. 5 die erste Ausführungsform der Erfindung, angewandt auf einen Speicher mit acht Zellenfeldern,
Fig. 6 die erste Ausführungsform der Erfindung, angewandt auf einen Speicher mit Datenschnittstellen in einer Breite von 2 Bit,
30 Fig. 7 ein Zeitdiagramm, das aufzeigt, wie ein vorzeitiges Zurücksetzen einer Fehlerinformation verhindert wird.

Gemäß Fig. 1 enthält ein erfindungsgemäßer Halbleiterspeicher mit $m = 1$ Dateneingangsanschluß D_1 und $m = 1$ Datenausgangsanschluß D_0 , $n = 4$ einander gleiche Zellenfelder ZF
35 (z. B. bei einem "Megabit"-Speicher: Gesamtanzahl der Speicherzellen: $1024 \text{ k} \cdot 1 \text{ Bit} = 1 \text{ M} \cdot 1 \text{ Bit}$, dies ergibt

- bei $n = 4$ vier Zellenfelder ZF à 256 k . 1 Bit). An jedes Zellenfeld ZF ist eine von n Datenleitungen DL angeschlossen. Diese dienen dem Einschreiben von Informationen in die Zellenfelder ZF bzw. zu deren Auslesen. In bekannter
- 5 Weise sind diese $n = 4$ Datenleitungen DL über eine erste Datenweiche DW1 mit dem Dateneingangsanschluß D_1 verbunden. Zum Einschreiben von Information in den Speicher wird durch Ansteuerung der ersten Datenweiche DW1 mittels einer bestimmten Adresseninformation, nämlich einem Adressierungssignal A, das am höchstwertigen (A_x) von vorhandenen
- 10 Adreßanschlüssen liegt, im Normalbetrieb die am Dateneingangsanschluß D_1 anliegende Information auf eine der $n = 4$ vorhandenen Datenleitungen DL geschaltet, von wo aus sie in das entsprechende Zellenfeld ZF eingeschrieben wird.
- 15 Entsprechend dazu sind die Datenleitungen DL über eine zweite Datenweiche DW2 mit dem Datenausgangsanschluß D_0 verbunden. Diese wird adressierungsmäßig genauso angesteuert wie die erste Datenweiche DW1. Sie schaltet eine der n Datenleitungen DL auf den Datenausgangsanschluß D_0 .
- 20 Diese bisher beschriebenen Teile eines erfindungsgemäßen Halbleiterspeichers sind für sich allein bereits bekannt. Sie finden beispielsweise Anwendung in Halbleiterspeichern, die die sogenannten "Nibble-Mode"-Betriebsweise erlauben.
- 25 Der erfindungsgemäße Halbleiterspeicher enthält nun in vorteilhafter Art und Weise, parallel zur ersten Datenweiche DW1 eine dritte Datenweiche DW3, mittels derer im Testbetrieb am Dateneingangsanschluß D_1 anliegende Informationen gleichzeitig auf alle $n = 4$ Datenleitungen DL
- 30 übergeben werden. Die dritte Datenweiche DW3 kann beispielsweise $n = 4$ parallel geschaltete Transistoren enthalten, deren eine Seite ihrer Durchlaßstrecken gemeinsam an den Dateneingangsanschluß D_1 angeschlossen sind und deren andere Seiten an je eine Datenleitung DL angeschlossen
- 35 sind. Gatemäßig angesteuert werden die Transistoren der

dritten Datenweiche DW3 durch ein Steuersignal P, dessen Erzeugung später beschrieben wird. Schreibt man über diese dritte Datenweiche DW3 Informationen in die Zellenfelder ZF, so enthalten diese Zellenfelder ZF untereinander
5 dieselben Informationen.

Betrachtet man nun im Testbetrieb jedes der Zellenfelder ZF als einen eigenen Speicher (Prüfling), so kann man die (Test-)Informationen, die adressierungsmäßig auf ein
10 Zellenfeld ZF abgestimmt sein müssen, gleichzeitig parallel in alle Zellenfelder ZF einschreiben.

Das Steuersignal P, das die dritte Datenweiche DW3 aktiviert, kann auf verschiedene Arten gewonnen werden. In
15 einer Ausführungsform gemäß Fig. 3 wird im Testfall an einen weiteren Anschluß T ein Testsignal in Form eines konstanten Potentials (z.B. log. '1') angelegt. Im Normalbetrieb wird entweder ein konstantes Potential z.B. mit dem Wert log. '0' angelegt oder aber der Anschluß T bleibt
20 unbeschaltet. Das so erzeugte Steuersignal P, das direkt am Anschluß T abgegriffen werden kann, steuert dann u.a. die Gates der dritten Datenweiche DW3 an, so daß deren Transistoren durchschalten. Diese Lösung hat einerseits den Vorteil, einen Potentialwert wählen zu können, der sonst
25 auch zur Ansteuerung des Halbleiterspeichers verwendet wird (z.B. "TTL-Pegel"). Andererseits wird aber für den Anschluß T ein zusätzlicher Anschluß benötigt, der unter Umständen aufgrund von Gehäuseabmessungen des Halbleiterspeichers nicht verfügbar ist.

30

35

In einer anderen Ausführungsform, dargestellt in Fig. 1, wird ein Anschluß mitbenutzt, der ansonsten für den Normalbetrieb benützt wird. Als geeignetster Anschluß
5 bietet sich ein Anschluß an, der der Ansteuerung des Halbleiterspeichers mit Adreßinformationen dient, insbesondere der für die höchstwertige X- bzw. Y- bzw. X/Y-Information (beim heute üblichen Adreßmultiplexverfahren). Im Normalbetrieb wird an einen solchen Anschluß
10 bei heute üblichen Halbleiterspeichern beispielsweise ein (höchstwertiges) Adreßsignal A mit einem '0'-Pegel von 0 Volt und einem '1'-Pegel von 5 Volt angelegt. Bei der Ausführungsform des erfindungsgemäßen Halbleiterspeichers nach Fig. 1 wird dieser Anschluß allgemein mit A_x bezeichnet.
15 An diesem liegt im Normalfall die höchstwertige X/Y-Adreßinformation. Für den Testbetrieb wird ein Potential angelegt, das z.B. deutlich über dem '1'-Pegel des üblichen, am Adressanschluß A_x anliegenden Adreßsignales A liegt, beispielsweise 10 V. Eine nachgeschaltete Diskriminatorschaltung DS erkennt dieses angelegte Potential und
20 erzeugt das halbleiterspeicherinterne Steuersignal P. Diskriminatorschaltungen DS sind als solche an sich bekannt, beispielsweise in Form von Schwellwertschaltern. Bekannte Schwellwertschalter sind z.B. der DE-OS 30 30 85
25 und der DE-OS 33 18 564 entnehmbar. Es sind jedoch auch andere Ausgestaltungen nach dem Stande der Technik denkbar.

Des weiteren enthält ein erfindungsgemäßer Halbleiterspeicher noch m einander gleiche Auswerteschaltungen AS
30 (m = Breite der Datenschnittstellen für Datenein- und -ausgabe).

- Aufgabe jeder dieser Auswerteschaltungen AS ist es, beim Auslesen aus dem Halbleiterspeicher die auf den der jeweiligen Auswerteschaltung AS zugeordneten n Datenleitungen DL anliegende Informationen zu übernehmen und sie in dem Falle, wo alle diese Informationen untereinander gleich sind (was aufgrund von zuvor stattgefundenem parallelem Abspeichern in die Zellenfelder ZF ja dem "Gut-Fall" entspricht), über einen Ausgang AUS_{Test} an den Datenausgangsanschluß D_0 weiterzuleiten und in dem Falle, in dem diese Daten einander nicht gleich sind (Fehlerfall), an ihrem Ausgang AUS_{Test} ein Fehlersignal zu aktivieren und dieses solange am Datenausgangsanschluß D_0 anliegen zu lassen, bis es z.B. ein an den Datenausgangsanschluß D_0 angeschlossener Prüfautomat als aktiviertes Fehlersignal erkennen kann. Aufgrund der verwendeten binären Logik besitzt dieses aktivierte Fehlersignal im Fehlerfall z.B. den Wert log. '0' (eine umgekehrte Definition ist selbstverständlich denkbar).
- 20 Wird nun während des Testens des Halbleiterspeichers aufgrund eines an diesen angelegten Prüfmusters eine log. '1' am Datenausgangsanschluß D_0 als ausgelesene Information erwartet, so sind folgende drei Fälle möglich:
- 25 a) alle Zellenfelder ZF funktionieren richtig: jede der n = 4 Datenleitungen DL erhält von einer gerade angesteuerten Speicherzelle ihres zugeordneten Zellenfeldes ZF eine log. '1', die die Auswerteschaltung AS an den Datenausgangsanschluß D_0 weiterreicht und die vom Testautomaten als "gut" erkannt wird.
- 30 b) alle Zellenfelder ZF sind an den gerade angesteuerten Speicherzellen defekt (äußerst unwahrscheinlich als Einzelfehler, im allgemeinen fast Totalausfall des Halbleiterspeichers): über die Datenleitungen DL werden
- 35

nur logische '0'-Signale ausgelesen, die die Auswerteschaltung AS zwar nicht als Fehler erkennt und deshalb als log. '0' an den Datenausgangsanschluß D_0 weiterreicht, der Prüfautomat jedoch erkennt den Fehler.

5

- c) 1 bis n-1 Zellenfeld(er) ZF enthält (enthalten) eine fehlerhafte, adressierte Speicherzelle: die Auswerteschaltung AS erkennt dies, aktiviert an ihrem Ausgang das Fehlersignal und reicht dieses beispielsweise als log. '0' an den Datenausgangsanschluß D_0 weiter. Der Prüfautomat erkennt den Fehler.

10

Wird am Datenausgangsanschluß D_0 dagegen eine log. '0' erwartet, so ist der Ablauf in den Fällen a) und b) analog wie bei einer log. '1' als erwarteter Information, jedoch im Falle c) wird der Fehler zwar innerhalb der Auswerteschaltung AS als solcher erkannt, und das Fehlersignal am Ausgang AUS_{Test} der Auswerteschaltung AS wird aktiviert. Dieses jedoch unterscheidet sich in seinem Pegel ("0") nicht von der erwarteten Information (ebenfalls "0"). In diesem Falle jedoch bleibt aufgrund der vorteilhaften Ausgestaltung der Auswerteschaltung AS, die nachfolgend noch beschrieben wird, das Fehlersignal solange aktiviert bis eine log. "1" ausgelesen wird, die jedoch aufgrund des vorher aufgetretenen Fehlers nicht an den Datenausgangsanschluß D_0 weitergereicht wird. Anstatt dessen bleibt das Fehlersignal (log. '0') aktiviert, d.h. der Prüfautomat bemerkt den Fehler. Anschließend deaktiviert die Auswerteschaltung AS das Fehlersignal über eine eingebaute Set-schaltung SS wieder. Für übliche Serienprüfungen beim Hersteller (auf Scheibenebene, mit und ohne redundante Speicherzellen, auf Bausteinebene) sowie für incoming inspection beim Kunden ist das völlig ausreichend; Prüfen zu Analysezwecken oder ähnliches ist wegen der bei Parallelprüfung innerhalb eines Halbleiterspeichers an-

20

25

30

35

fallenden Adressierungsungenauigkeit (welches Zellenfeld ZF ist defekt ?) nicht möglich.

5 Eine mögliche, vorteilhafte Ausgestaltung der Auswahl-
schaltung AS ist in Fig. 2 gezeigt. Sie wird nachfolgend
erläutert.

10 Ein erstes UND-Gatter G1 hat $n = 4$ Eingänge. Diese sind
mit je einer der $n = 4$ Datenleitungen DL verbunden. Ein
zweites UND-Gatter G2 ist dem ersten UND-Gatter G1 ein-
gangsmäßig parallel geschaltet. Seine ebenfalls $n = 4$
Eingänge sind jedoch negiert, so daß das zweite UND-
Gatter G2 wie eine NOR-Funktion wirkt. Das erste UND-
Gatter G1 schaltet an seinem Ausgang nur dann auf log.
15 "1" , wenn alle Datenleitungen DL auf log. "1" liegen.
Analoges gilt für den Ausgang des zweiten UND-Gatters
G2 (Ausgang nur dann log. "1" , wenn alle Datenleitun-
gen DL auf log. "0").

20 Die Auswerteschaltung AS enthält des weiteren eine
erste Kippschaltung FF1, beispielsweise in Form eines
RS-Flip-Flops mit Set- und Reseteingang S,R, sowie
einem Ausgang. Der Seteingang S ist mit dem Ausgang
des ersten UND-Gatters G1 verbunden und setzt den Aus-
25 gang der ersten Kippschaltung FF1 auf log. "1" , wenn
an allen Eingängen des ersten UND-Gatters G1 eine log.
"1" anliegt. Analog dazu ist der Reseteingang R mit
dem Ausgang des zweiten UND-Gatters G2 verbunden. Der
Ausgang wird also gesetzt, wenn auf allen $n = 4$ Daten-
30 leitungen DL eine logische "1" anliegt und rückgesetzt,
wenn entsprechend an allen Datenleitungen DL eine log.
"0" anliegt. Im Fehlerfall liegt keine dieser Konditio-
nen vor, die erste Kippschaltung FF1 ändert ihren Aus-
gang nicht.

- Parallel zum Anschluß an die beiden Eingänge der ersten Kippschaltung FF1 sind die Ausgänge der beiden UND-Gatter G1, G2 in negierter Form an ein drittes UND-Gatter G3 angeschlossen. Dieses wirkt also ebenfalls als NOR-Funktion. Der Ausgang des dritten UND-Gatters G3 ist nur dann auf log. "1", wenn ein Fehler vorliegt, d.h. wenn nicht alle $n = 4$ Datenleitungen DL denselben logischen Pegel ("0" oder "1") besitzen. In diesem Fehlerfall setzt er als Reseteingang R eine zweite Kippschaltung FF2 zurück, die im Aufbau gleich der ersten Kippschaltung FF1 sein kann. Die zweite Kippschaltung FF2 weist auch einen als Seteingang S ausgebildeten weiteren Eingang auf. Dieser wird von einer Setschaltung SS gesteuert.
- Die zweite Kippschaltung FF2 besitzt einen Ausgang, der vom Seteingang S auf log. "1" und vom Reseteingang R auf log. "0" gesetzt wird. Da der Reseteingang R immer im Fehlerfall aktiviert wird, kann man auch folgendes sagen: Der Ausgang der zweiten Kippschaltung FF2 wird im Fehlerfall zurückgesetzt (= auf log. "0"), ansonsten entweder gesetzt (log. "1") oder er bleibt unverändert.
- Die Ausgänge der beiden Kippstufen FF1, FF2 bilden zwei Eingänge eines vierten UND-Gatters G4, deren Ausgang mit dem (AUS_{Test}) der Auswerteschaltung AS identisch ist. Er stellt in dem Falle, in dem der zu prüfende Halbleiterspeicher in Ordnung ist (Gut-Fall), die aus den Zellenfeldern ZF ausgelesene Information zur Verfügung ("0" oder "1"). Dabei kann sogar eine Messung der Speicherzugriffszeit durchgeführt werden. Um die Information zur Verfügung stellen zu können, ist es notwendig, den Ausgang der zweiten Kippschaltung FF2 über ihren Seteingang S auf log. "1" zu setzen. Dies erfolgt mittels der Setschaltung SS, die nachfolgend noch beschrieben wird. Im Fehlerfall jedoch wird der Ausgang der zweiten Kippschaltung FF2 auf log. "0" rückgesetzt, der Ausgang AUS_{Test} der

Auswertschaltung AS, und damit der des vierten UND-Gatters G4 ist unabhängig von den (im GUT-Fall) erwarteten Daten auf log. "0" (Fehlersignal). Wie bereits beschrieben, ist damit jedoch das Fehlersignal nicht von
5 einer eventuell als log. "0" erwarteten, aus dem Speicher auszulesenden Information zu unterscheiden.

Die Setschaltung SS, die ja mit ihrem Ausgang den Seteingang S der zweiten Kippschaltung FF2 bildet, hat nun
10 zwei (Teil-)Aufgaben:

- a) Sie muß nach dem Auftreten eines Fehlers den Ausgang der zweiten Kippschaltung FF2, und damit den über den entsprechenden Eingang des vierten UND-Gatters G4 an
15 Ausgang der Auswertschaltung AS das Fehlersignal aktiv (= log. '0') halten. Damit ist es möglich, einen beim Auslesen von log. "0" aus den Zellenfeldern ZF aufgetretenen Fehler, der ja am Ausgang der Auswertschaltung AS nicht erkennbar ist (siehe oben), solange zu "speichern", bis erstmals aus den Zellenfeldern ZF (fehlerhaft oder richtig, kein Unterschied in der Auswertung)
20 eine log. "1" ausgelesen werden soll. Jetzt nämlich unterscheidet sich auf jeden Fall die am Ausgang des vierten UND-Gatters G4 erwartete Information log. "1" vom aktivierten Fehlersignal ("0").
25
- b) Sie muß beim Einschalten des Testbetriebes oder der Betriebsspannung sicherstellen, daß der Ausgang der zweiten Kippschaltung FF2 keinesfalls bereits einen
30 Fehler vortäuscht, d.h. er muß auf log. "1" gesetzt werden. Dies geschieht beispielsweise durch ein übliches Differenzierglied DG, das vom Steuersignal P ange-

stoßen, einen Impuls abgibt, den ein ersten Eingang
eines ODER-Gatters G5 als log. "1" interpretiert und
damit über seinen Ausgang, der sowohl einen Ausgang
5 der Setschaltung SS als auch den Seteingang S der zweiten
Kippschaltung FF2 bildet, den Ausgang der zweiten
Kippschaltung FF2 auf log. "1" setzt.

Die mit a) angesprochene Bedingung, die an die Setschal-
10 tung SS gestellt ist, wird durch folgende (Teil-)Schaltung
erfüllt: Der Ausgang des ersten UND-Gatters G1, der ja
sowohl als Seteingang S auf die erste Kippschaltung FF1
als auch als erster Eingang des dritten UND-Gatters G3
wirkt, ist noch als ein Eingang auf ein weiteres UND-
15 Gatter G6 geschaltet. Ein zweiter Eingang dieses UND-
Gatters G6 ist mit einem Maschinentakt CLK verknüpft.
Bei Abgabe eines positiven Impulses dieses Maschinen-
taktes CLK wird also der erste Eingang dieses UND-Gat-
ters G6 auf seinen Ausgang durchgeschaltet, der wiederum
20 als zweiter Eingang des ODER-Gatters G5 wirkt, und da-
mit als Seteingang S für die zweite Kippschaltung FF2.
Legt man nun innerhalb einer Taktperiode TP, mit der
der Halbleiterspeicher betrieben wird, an einen geeigne-
ten, in Fig. 7 gezeigten Zeitpunkt t_2 , das Auftreten
25 des Maschinentaktes CLK, so kann man einerseits ein De-
aktivieren des Fehlersignales, das aufgrund eines in
früheren Taktperioden TP aufgetretenen Fehlers aktiviert
worden war, von einem Zeitpunkt t_1 , zu dem eine log. "1"
durch das erste UND-Gatter G1 erkannt wird, bis zu einem
30 Zeitpunkt t_2 verzögern, d.h. ein Prüfautomat kann z.B.
zwischen den beiden Zeitpunkten t_1 und t_2 aufgetretene
Fehler F erkennen. Andererseits wird nach dem Zeitpunkt t_2
letztendlich der Ausgang des ersten UND-Gatters G1 auf der

Seteingang S der zweiten Kippstufe durchgeschaltet, falls dieser Ausgang auf log. "1" ist. Damit wird aber der Ausgang der zweiten Kippschaltung FF2 auf log. "1" gesetzt, was einem Deaktivieren und Rücksetzen des Fehlersignales entspricht.

5

Die Ausführungsform der Erfindung nach Fig. 1 weist auf vorteilhafte Weise noch je Bit der Breite m der Datenschnittstellen eine vierte Datenweiche DW4 auf, die dazu dient, auf den Datenausgangsanschluß D_o im Normalbetrieb die aus der jeweiligen zweiten Datenweiche DW2 austretenden Informationen AUS_{Norm} auf den jeweiligen Datenausgangsanschluß D_o zu schalten und im Testbetrieb statt dessen den Ausgang AUS_{Test} der jeweiligen Auswerteschaltung AS mit dem entsprechenden D_o -Anschluß D_o zu verbinden. Diesem Zwecke dienen je vierter Datenweiche DW4 zwei Transistoren. Deren Drain-Anschlüsse sind gemeinsam mit dem zugehörigen Datenausgangsanschluß D_o verbunden. Der Sourceanschluß des einen Transistors ist mit dem Ausgang der zweiten Datenweiche DW2 verbunden, während der Sourceanschluß des anderen Transistors mit dem Ausgang der Auswerteschaltung AS verbunden ist. Der eine Transistor wird gatemäßig von einem zum Steuersignal P komplementären Signal \bar{P} angesteuert; der andere vom Steuersignal P. Damit ist es möglich, wahlweise den Ausgang der zweiten Datenweiche DW2 oder den der Auswerteschaltung AS auf den Datenausgangsanschluß D_o zu schalten.

Es ist jedoch in einer anderen Ausführungsform durchaus auch möglich, den Ausgang jeder der zweiten Datenweichen DW2 direkt auf den zugehörigen Datenausgangsanschluß D_o zu schalten und den Ausgang jeder Auswerteschaltung AS, ebenfalls direkt, separat auf einen eigenen Anschluß PA

35

im Sinne eines Prüfanschlusses zu legen. Diese Ausführungsform ist in Fig. 4 gezeigt.

5 Fig. 5 zeigt eine Ausführungsform eines erfindungs-
mäßigen Halbleiterspeichers, bei dem anstelle von $n = 4$
Zellenfelder ZF $n = 8$ Zellenfelder ZF verwendet werden.
Die Funktion des Halbleiterspeichers ist dieselbe wie
für Fig. 1 beschrieben. Es tritt jedoch im Testbetrieb
eine noch stärkere Reduzierung der Testzeit ein.

10

Fig. 6 zeigt eine Ausführungsform eines erfindungs-
mäßigen Halbleiterspeichers, bei dem wiederum $n = 4$ Zel-
lenfelder ZF verwendet sind, der jedoch eine Breite von
 $m = 2$ Bit bei den Datenschnittstellen besitzt. Die Funk-
15 tion ist dieselbe, wie in Fig. 1 beschrieben. Es ist
lediglich klarzustellen, daß jeweils beide dargestellte
erste Datenweichen DW1, zweite Datenweichen DW2, dritte
Datenweichen DW3 und vierte Datenweichen DW4, die Zellen-
felder ZF sowie die beiden Auswerteschaltungen AS j w ils
20 zueinander parallel und unabhängig voneinander arbeiten.
Zur Verdeutlichung der Tatsache, daß die Datenschnittstel-
len der $m = 2$ Bits voneinander unabhängige Informationen
führen, wurden an Stelle der Bezeichnungen D_1 , D_0 , AUS_{Test} ,
 AUS_{Norm} , die Bezeichnungen D_{11} , D_{01} , D_{12} , D_{02} , AUS_{Test1} ,
25 AUS_{Test2} , AUS_{Norm1} und AUS_{Norm2} gewählt.

Weitere, verschiedene Ausgestaltungen der vorliegenden
Erfindung sind möglich, insbesondere auch bei der Ausge-
staltung der Auswerteschaltung AS. Sie liegen jedoch alle-
30 samt im Bereiche dieser Erfindung, denn es stellt für
den Durchschnittsfachmann kein Problem dar, die aufge-
zeigten Logikschaltungen abzuändern, ohne dabei die der
Erfindung zugrundeliegende Aufgabenstellung oder den
Grundgedanken der Erfindung zu verlassen.

35

13 Patentansprüche

7 Figuren

Patentansprüche

1. Integrierter Halbleiterspeicher mit n einander gleichen
5 Speicherzellenfeldern (ZF), mit n . m Datenleitungen (DL)
zum Einschreiben und Auslesen von Speicherdaten in die
bzw. aus den Speicherzellenfeldern (ZF), mit m ersten
Datenweichen (DW1), von denen jede beim Einschreiben an
einem ihr zugeordneten Dateneingangsanschluß (D_1) anlie-
10 gende, in den Halbleiterspeicher einzuschreibende Speicher-
daten in Abhängigkeit von Adressierungsdaten an jeweils
eine der n ihr zugehörigen Datenleitungen (DL) anlegt, mit
m zweiten Datenweichen (DW2), von denen jede beim Auslesen
von Speicherdaten, die auf jeweils n Datenleitungen (DL)
15 anliegen, in Abhängigkeit von Adressierungsdaten eine der n
Datenleitungen (DL) auswählt und über einen Ausgang an
einen zugehörigen Datenausgangsanschluß (D_0) anlegt,
d a d u r c h g e k e n n z e i c h n e t, daß an
jeweils n der n . m Datenleitungen (DL), parallel zu der
20 jeweiligen zweiten Datenweiche (DW2) eine Auswerteschaltung
(AS) angeschlossen ist, die als Ausgangssignal (AUS_{Test})
in Abhängigkeit von einem Steuersignal (P) einerseits die
aus den Speicherzellenfeldern (ZF) ausgelesenen Speicher-
daten zu dem entsprechenden Datenausgangsanschluß (D_0)
25 durchschaltet, und andererseits, im Falle des Auftretens
von mindestens einem fehlerhaften Speicherdatum, an den
entsprechenden Datenausgangsanschluß (D_0) eine Fehler-
information gibt, daß zwischen jedem der m Dateneingangs-
anschlüsse (D_1) und den zugehörigen n von n . m Daten-
30 leitungen (DL), parallel zur jeweiligen ersten Datenweiche
(DW1), eine dritte Datenweiche (DW3) geschaltet ist, die in
Abhängigkeit vom Steuersignal (P) die in den
Halbleiterspeicher einzuschreibenden Speicherdaten
parallel an alle n Datenleitungen (DL) übergibt,

daß jedem der m Datenausgangsanschlüsse (D_o) eine vierte Datenweiche (DW_4) vorgeschaltet ist, die in Abhängigkeit vom Steuersignal (P) und einem zu diesem komplementären Signal (\bar{P}) entweder das von der zweiten Datenweiche (DW_2) ausgewählte Speicherdatum (AUS_{Norm}) oder das von der Auswerteschaltung (AS) erzeugte Ausgangssignal (AUS_{Test}) an den Datenausgangsanschluß (D_o) durchschaltet, und daß für das Steuersignal (P) ein weiterer Anschluß ($A_x; T$) vorgesehen ist.

10

2. Integrierter Halbleiterspeicher nach Anspruch 1, dadurch gekennzeichnet, daß jede Auswerteschaltung (AS) zum Durchschalten der aus den Speicherzellenfeldern (ZF) ausgelesenen Speicherdaten eine erste Kippschaltung (FF_1) mit zwei Eingängen und einem Ausgang enthält, deren erster Eingang (Seteingang, S) aktiviert wird, wenn alle an die Auswerteschaltung (AS) angeschlossenen n Datenleitungen (DL) einen ersten logischen Zustand aufweisen (Gut-Fall), und deren zweiter Eingang (Reseteingang, R) aktiviert wird, wenn alle an die Auswerteschaltung (AS) angeschlossene Datenleitungen (DL) einen zum ersten logischen Zustand komplementären zweiten logischen Zustand aufweisen (Gut-Fall), so daß in dem Falle, in dem alle besagten n Datenleitungen (DL) denselben (ersten oder zweiten) logischen Zustand besitzen, der Ausgang der ersten Kippschaltung (FF_1) gezielt gesetzt bzw. rückgesetzt wird, daß für den Fall (Fehlerfall), in dem alle an die Auswerteschaltung (AS) angeschlossenen n Datenleitungen (DL) gemeinsam weder den ersten noch den zweiten logischen Zustand besitzen, eine zweite Kippschaltung (1) vorgesehen ist mit zwei Eingängen und einem Ausgang, deren einer Eingang (Reseteingang, R) im Fehlerfalle den Ausgang der zweiten Kippschaltung (FF_2) zurücksetzt, deren anderer Eingang (Seteingang, S) zum Setzen des Ausgangs der zweiten Kippschaltung (FF_2) über den Ausgan

35

einer Setschaltung (SS) angesteuert wird.

3. Integrierter Halbleiterspeicher nach Anspruch 2,
5 d a d u r c h g e k e n n z e i c h n e t, daß
der Ausgang der Setschaltung (SS) aktiviert wird zum einen
bei einem Aktivieren des Steuersignales (P) oder beim An-
legen einer Betriebsspannung an den Halbleiterspeicher
durch ein Differenzierglied (DG), und zum anderen mittels
10 eines Ausganges einer UND-Funktion (G6) mit zwei Eingängen,
deren erster Eingang mit dem Seteingang (S) der ersten
Kippschaltung (FF1) verbunder. ist und deren zweiter Ein-
gang an einen Maschinentakt (CLK) angeschlossen ist.
- 15 4. Integrierter Halbleiterspeicher nach Anspruch 2 oder
3, d a d u r c h g e k e n n z e i c h n e t,
daß der Maschinentakt (CLK) den Seteingang (S) der zwei-
ten Kippschaltung (FF2) innerhalb einer Taktperiode (TP),
solange verzögert, bis eine am entsprechenden Daten-
20 ausgangsanschluß (D_0) angeschlossene Prüfschaltung das,
gegebenenfalls während einer früheren Taktperiode
aktivierte, Fehlersignal als solches erkennen konnte
(Fig. 7).
- 25 5. Integrierter Halbleiterspeicher nach einem der An-
sprüche 2 bis 4, d a d u r c h g e k e n n z e i c h -
n e t , daß das Ausgangssignal jeder Auswerteschaltung
(AS) in einer weiteren logischen Funktion (G4) erzeugt
wird, die als Eingänge die Ausgänge der ersten und zwei-
30 ten Kippschaltung (FF1, FF2) aufweist.
6. Integrierter Halbleiterspeicher nach einem der vor-
hergehenden Ansprüche, d a d u r c h g e k e n n -
z e i c h n e t, daß jede der dritten Datenweichen (DW3)

n Transistoren enthält, die mit ihrer Durchlaßstrecke einerseits alle an den zugehörigen Dateneingangsanschluß (D_1) und andererseits an je eine der n zu dem jeweiligen Dateneingangsanschluß (D'_1) gehörigen Datenleitung (DL) 5 angeschlossen sind, und deren Gates parallel an das Steuersignal (P) angeschlossen sind.

7. Integrierter Halbleiterspeicher nach einem der vorhergehenden Ansprüche, d a d u r c h g e k e n n -
10 z e i c h n e t, daß jede der m vierten Datenweichen (DW4) zwei Transistoren enthält, daß die Drainanschlüsse der beiden Transistoren zusammengeschaltet sind und mit dem der jeweiligen vierten Datenweiche (DW4) zugehörigen Datenausgangsanschluß (D_0) verbunden sind, daß bei
15 jeder der vierten Datenweichen (DW4) der eine Transistor mit seinem Sourceanschluß mit dem Ausgang der zugehörig n zweiten Datenweiche (DW2) verbunden ist, daß bei jeder der vierten Datenweichen (DW4) der andere Transistor mit seinem Sourceanschluß mit dem Ausgang der zugehörigen Auswerteschaltung (AS) verbunden ist, daß das Gate des einen
20 Transistors mit einem zum Steuersignal (P) komplementären Signal (\bar{P}) verbunden ist, und daß das Gate des anderen Transistors mit dem Steuersignal (P) verbunden ist.

25 8. Integrierter Halbleiterspeicher nach einem der vorhergehenden Ansprüche, d a d u r c h g e k e n n - z e i c h n e t, daß der weitere Anschluß für das Steuersignal (P) ein eigener, sonst unbenutzter Anschluß (T) des Halbleiterspeichers ist.

30

9. Integrierter Halbleiterspeicher nach einem der vorhergehenden Ansprüche, d a d u r c h g e k e n n - z e i c h n e t, daß der weitere Anschluß für das Steuersignal (P) ein Anschluß (A_x) ist, der auch

für sonstige Signale vom Halbleiterspeicher benutzt wird.

5 10. Integrierter Halbleiterspeicher nach Anspruch 9,
d a d u r c h g e k e n n z e i c h n e t, daß
der weitere Anschluß (A_x) ein Anschluß ist, an den bei ei-
nem Normalbetrieb ein Adreßsignal angelegt wird, das
das höchstwertige der Adreßsignale ist.

10 11. Integriertger Halbleiterspeicher nach Anspruch 9 oder
10, d a d u r c h g e k e n n z e i c h n e t, daß zum
Umschalten vom Normalbetrieb auf einen Testbetrieb, bei
dem die Auswerteschaltungen (AS) benützt werden, ein
15 größeres Potential angelegt wird, als das, das dem An-
legen einer log. "1" entspricht.

12. Integrierter Halbleiterspeicher nach Anspruch 11,
d a d u r c h g e k e n n z e i c h n e t, daß das
20 Steuersignal (P) mittels einer Diskriminatorschaltung (DS)
aktiviert wird, die erkennt, ob das größere Potential
anliegt.

13. Integrierter Halbleiterspeicher nach einem der vor-
25 hergehenden Ansprüche, d a d u r c h g e k e n n -
z e i c h n e t, daß der Ausgang jeder der m zweiten
Datenweichen (DW2) direkt auf den jeweils zugehörigen
Datenausgangsanschluß (D_o) geführt ist, während der
Ausgang jeder der zugehörigen m Auswerteschaltungen (AS)
30 auf einen eigenen, sonst unbenutzten Anschluß (PA) geführt
ist.

1/7

FIG 1

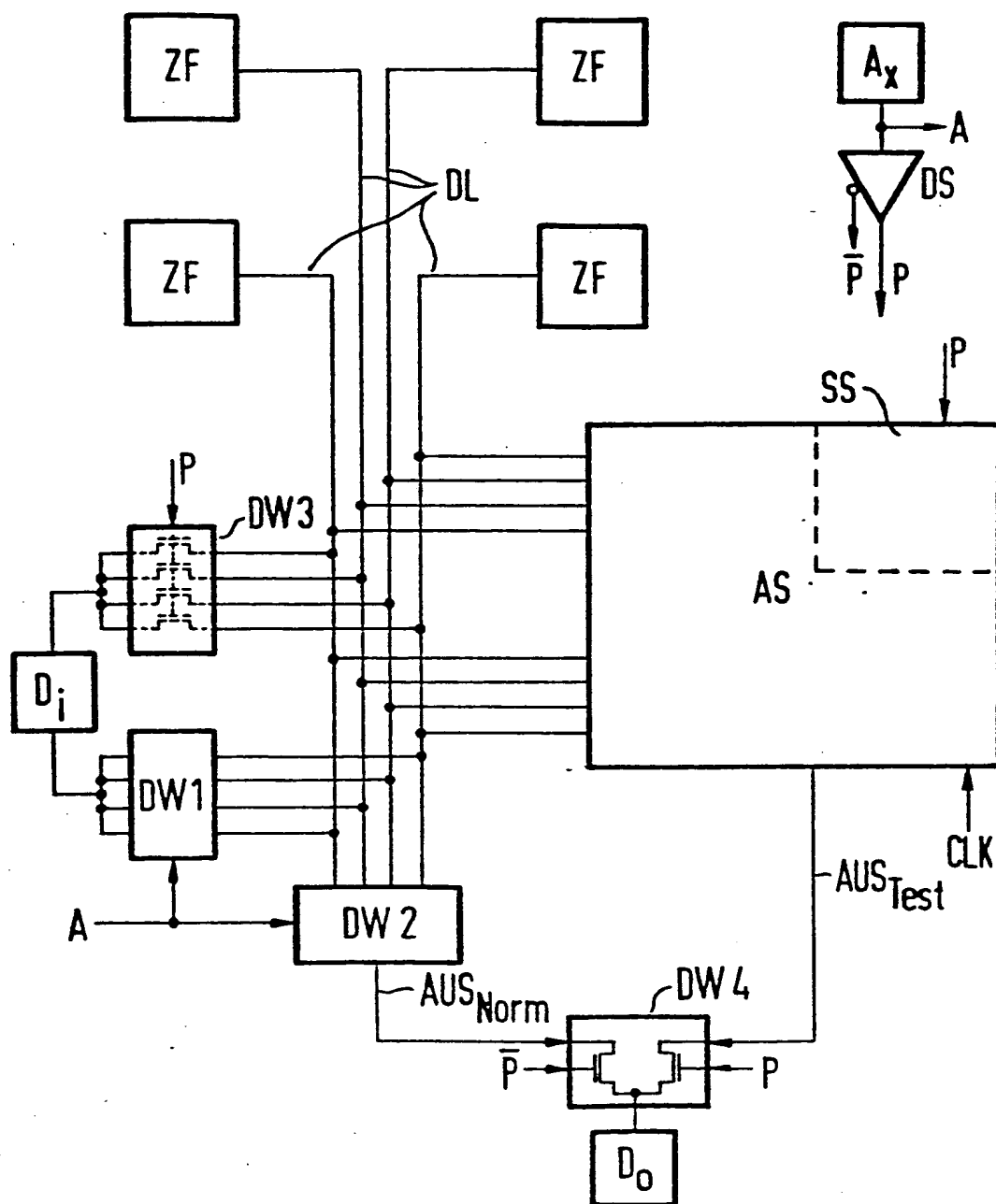
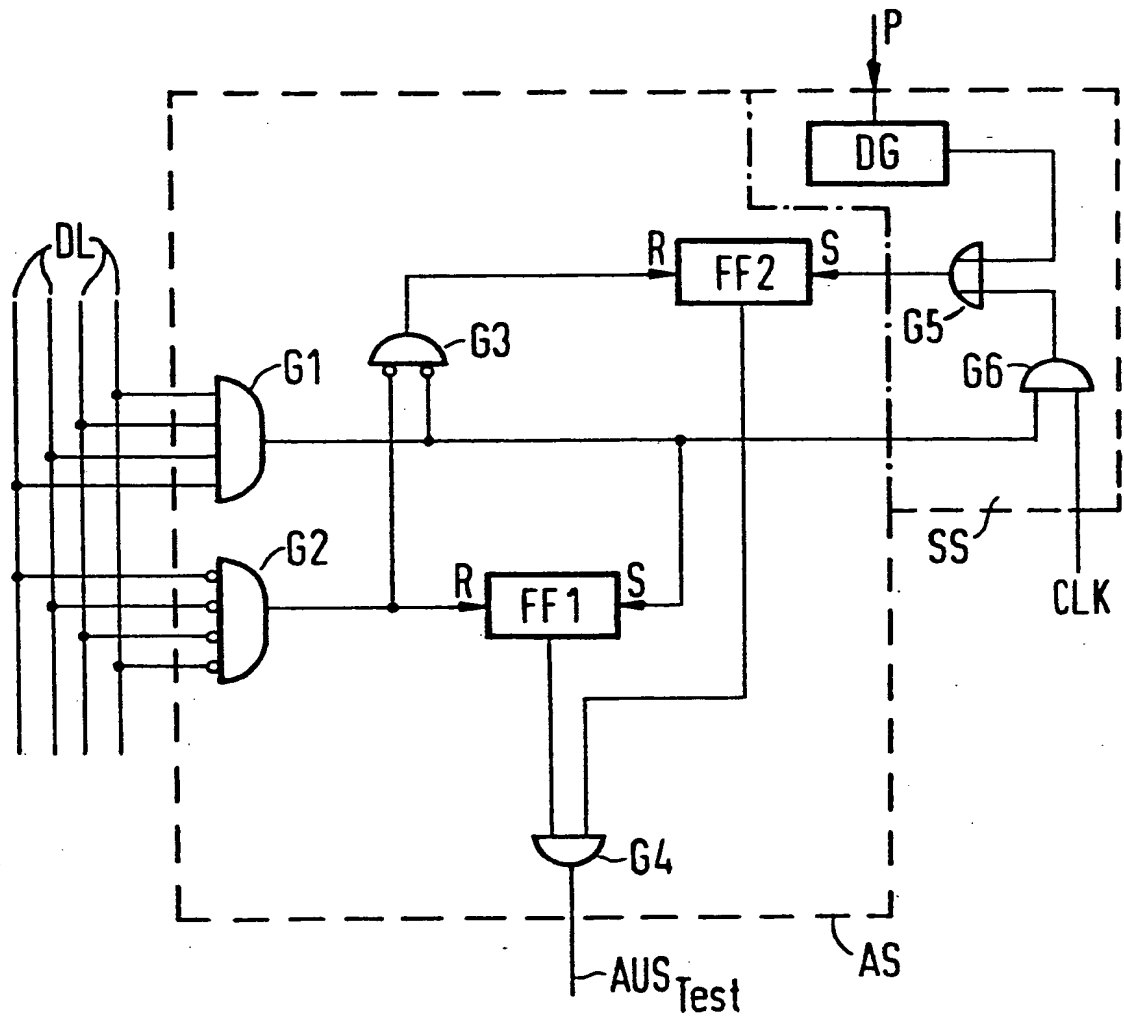


FIG 2



3/7

FIG 3

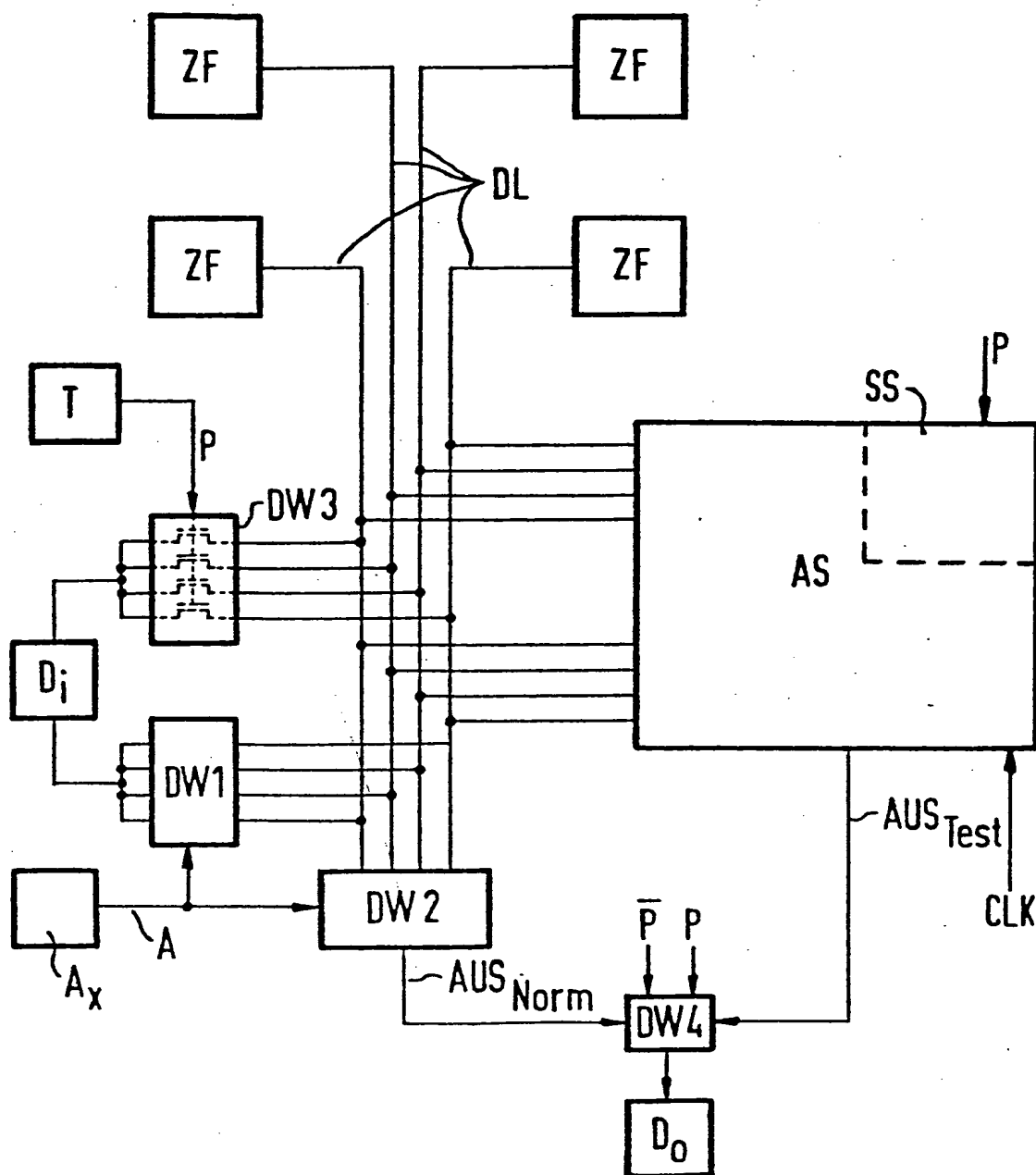
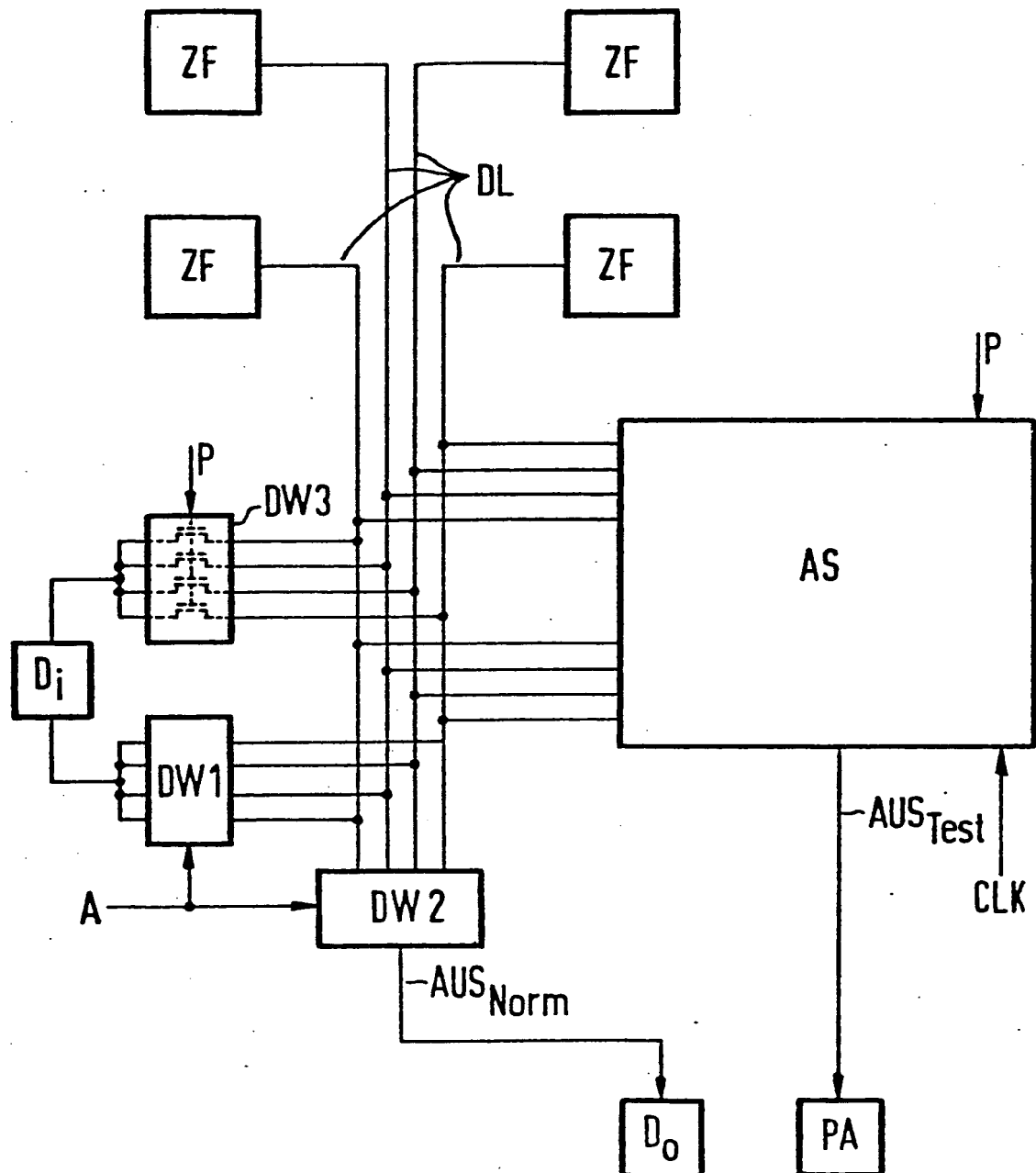
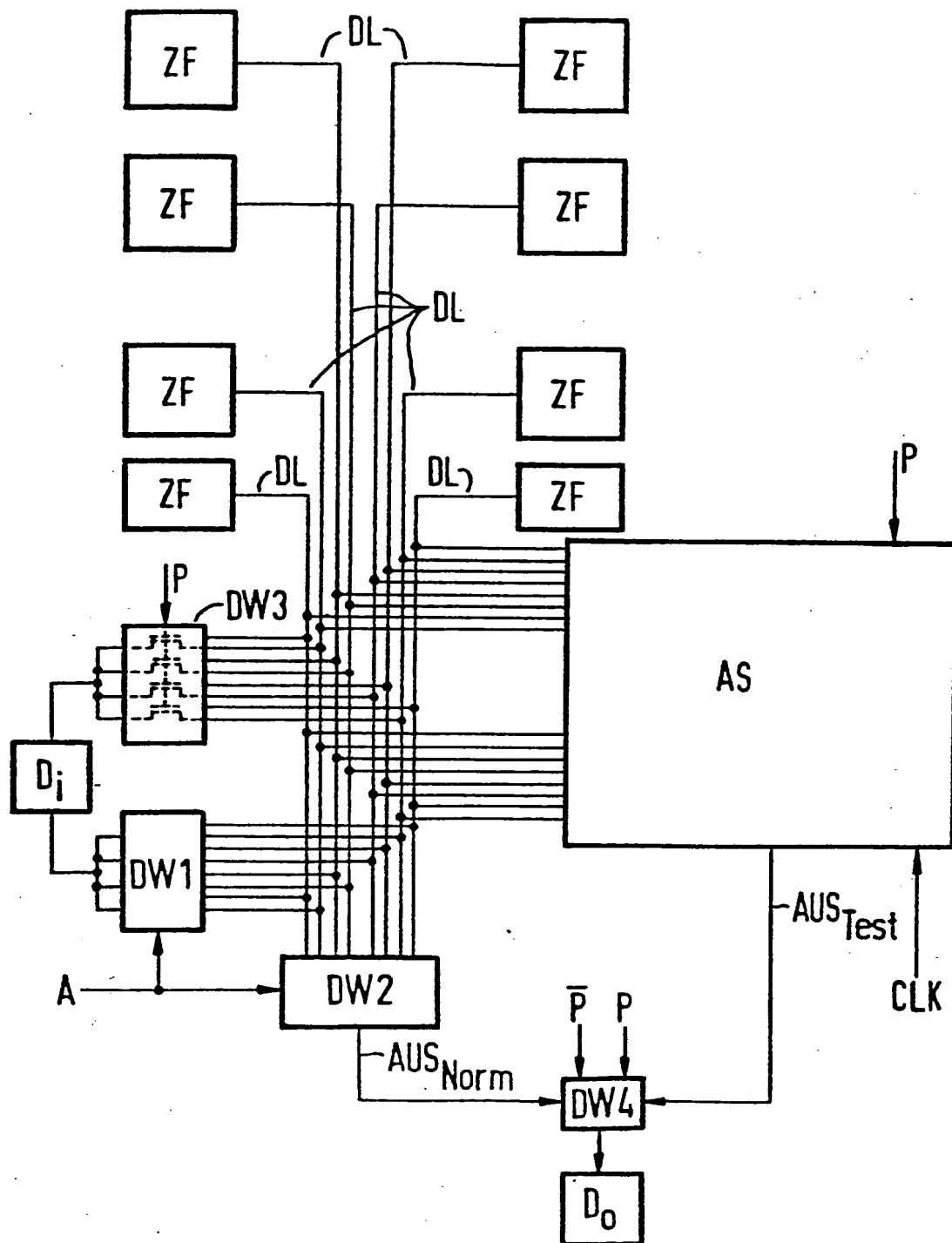


FIG 4



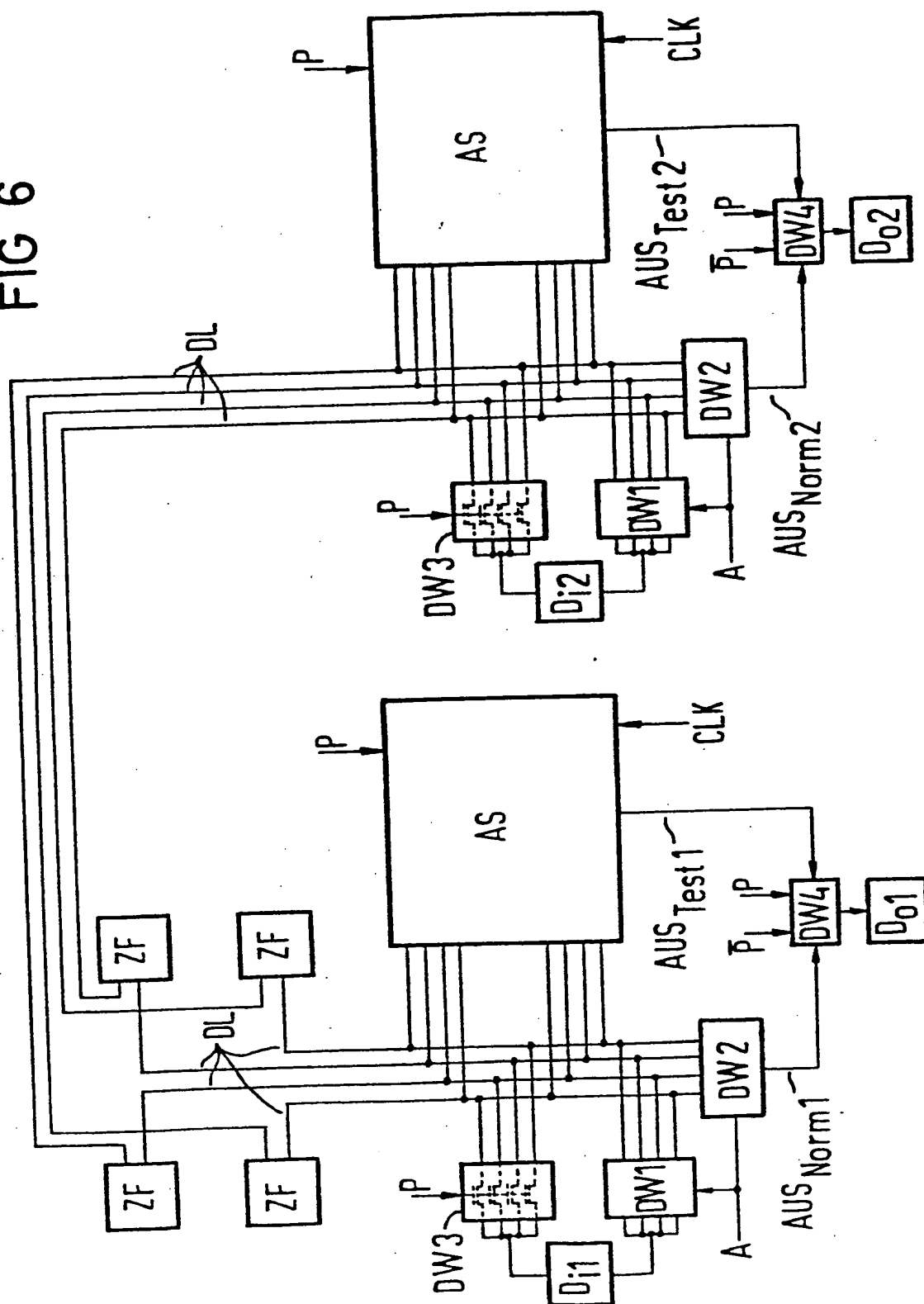
5/7

FIG 5



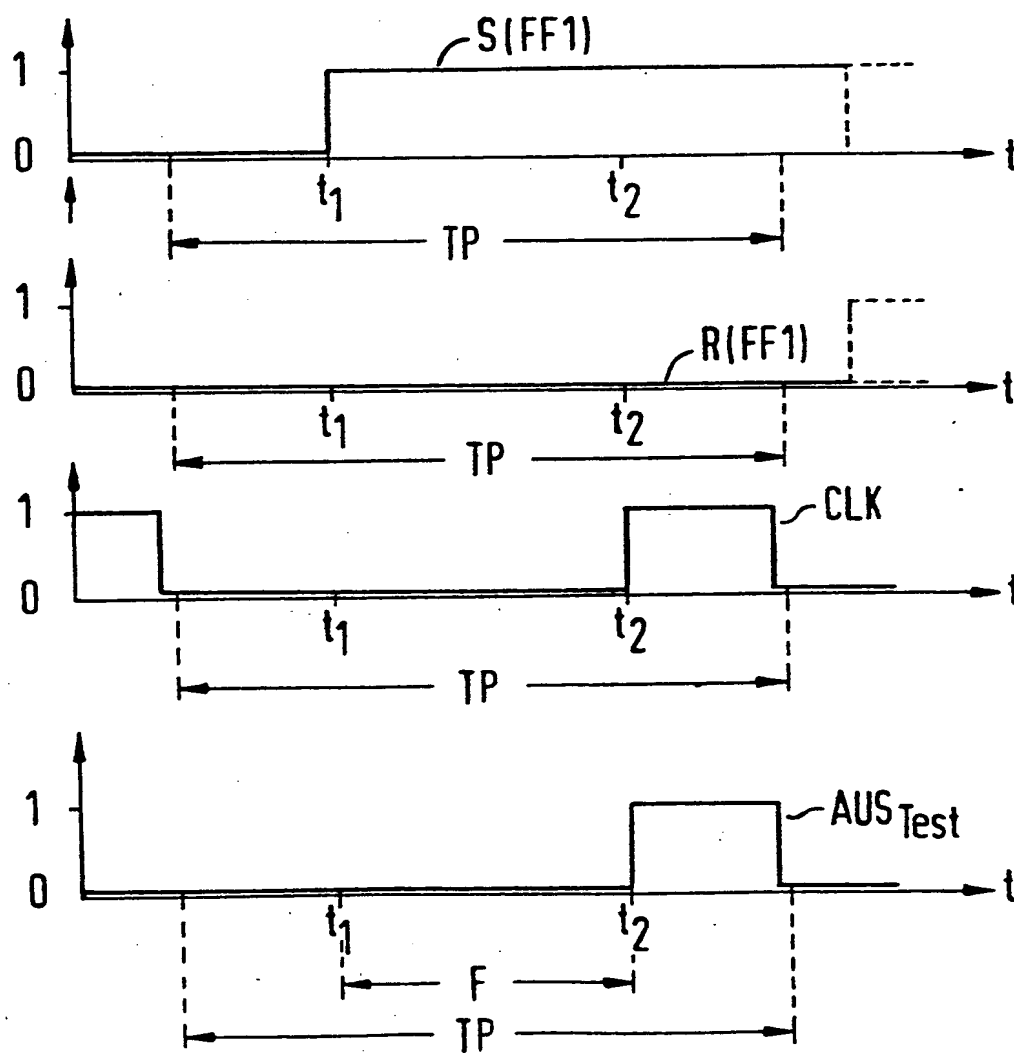
6/7

FIG 6



7/7

FIG 7





EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl. 4)
D,A	ISSCC'81, 18. Februar 1981, Seiten 84,85, IEEE, New York, US; S. SHEFFIELD EATON et al.: "A 100ns 64K dynamic RAM using redundancy techniques" * Seite 84, rechte Spalte, Zeilen 11-19; Figur 4 *	1	G 11 C 29/00
D,A	--- ELEKTRONIK, Nr. 15, 30. Juli 1982, Seiten 27-30, München, DE; P. MATTOS et al.: "'Nibble-mode' beschleunigt Speicherzugriff" * Insgesamt *	1	
A	--- PATENTS ABSTRACTS OF JAPAN, Band 6, Nr. 62 (P-111) [940], 21. April 1982; & JP - A - 57 3298 (NIPPON DENKI K.K.) 08-01-1982 * Insgesamt *	1,2	
			RECHERCHIERTE SACHGEBIETE (Int. Cl. 4)
D,A	--- EP-A-0 046 215 (GIEBEL et al.) * Seite 4, Zeile 31 - Seite 6, Zeile 5; Figuren 2,3 *	9,11,12	* G 11 C 29/00
D,A	--- EP-A-0 127 015 (MEYER et al.) * Seite 3, Zeile 33 - Seite 4, Zeile 29; Figur 1 *	9,11,12	
E	--- US-A-4 495 603 (VARSHNEY) * Anspruch 17 *	1	
	--- -/-		
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt.			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 12-03-1986	Prüfer QUESSON C. J.
<p>KATEGORIE DER GENANNTEN DOKUMENTE</p> <p>X : von besonderer Bedeutung allein betrachtet Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie A : technologischer Hintergrund O : mündliche Offenbarung P : Zwischenliteratur T : der Erfindung zugrunde liegende Theorien oder Grundsätze</p> <p>E : älteres Patentedokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist D : in der Anmeldung angeführtes Dokument L : aus andern Gründen angeführtes Dokument & : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</p>			



Europäisches
Patentamt

EUROPÄISCHER RECHERCHENBERICHT

0186040
Nummer der Anmeldung

EP 85 11 5739

Seite 2

EINSCHLÄGIGE DOKUMENTE			
Kategorie	Kennzeichnung des Dokuments mit Angabe, soweit erforderlich, der maßgeblichen Teile	Betrifft Anspruch	KLASSIFIKATION DER ANMELDUNG (Int. Cl. 4)
E	EP-A-0 143 624 (FUJITSU LTD.) * Seite 1, Zeilen 24-33; Seite 5, Zeile 18 - Seite 7, Zeile 23 * -----	1	
			RECHERCHIERTE SACHGEBIETE (Int. Cl. 4)
Der vorliegende Recherchenbericht wurde für alle Patentansprüche erstellt.			
Recherchenort DEN HAAG		Abschlußdatum der Recherche 12-03-1986	
		Prüfer QUESSON C. J.	
<div>KATEGORIE DER GENANNTEN DOKUMENTE</div> <div><div><div>X : von besonderer Bedeutung allein betrachtet</div><div>Y : von besonderer Bedeutung in Verbindung mit einer anderen Veröffentlichung derselben Kategorie</div><div>A : technologischer Hintergrund</div><div>O : nichtschriftliche Offenbarung</div><div>P : Zwischenliteratur</div><div>T : der Erfindung zugrunde liegende Theorien oder Grundsätze</div></div><div><div>E : älteres Patentdokument, das jedoch erst am oder nach dem Anmeldedatum veröffentlicht worden ist</div><div>D : in der Anmeldung angeführtes Dokument</div><div>L : aus andern Gründen angeführtes Dokument</div><div>& : Mitglied der gleichen Patentfamilie, übereinstimmendes Dokument</div></div></div>			

Int grated semiconductor memory

Patent Number: US4742490
Publication date: 1988-05-03
Inventor(s): HOFFMANN KURT (DE)
Applicant(s): SIEMENS AG (DE)
Requested Patent: EP0186040, B1
Application Number: US19850811932 19851220
Priority Number(s): DE19843447762 19841228
IPC Classification: G11C7/00
EC Classification: G11C29/00B2B, G11C29/00B2B2M
Equivalents: HK23192, JP2598383B2, JP61158099

Abstract

Integrated semiconductor memory includes n identical memory cell fields, each having a data width equal to m , $n \cdot m$ data lines for writing-in and reading-out memory data into and out of the memory cell fields, m first data separators each having an assigned data input terminal for applying the memory data as a function of addressing data when written-in, m second data separators for selecting one of the n data lines in response to the addressing data when reading out the memory data and for applying the memory data to the outputs of the second data separators, data output terminals for receiving the memory data, evaluation circuits connected to data lines for feeding data to the data output terminals in response to a control signal for activating an error signal to the data output terminals upon the occurrence of faulty memory data, third data separators for transferring the memory data in parallel to all of the n data lines in response to the control signal, and fourth data separators for selectively feeding either the memory data selected by the second data separators or the output signal generated by the evaluation circuit to the data output terminals in response to the control signal.

Data supplied from the esp@cenet database - I2

RECEIVED
U.S. PATENT OFFICE
JUL 1 1988
S2003 AGENT
CONFIDENTIAL

DOCKET NO: MUH-12653

SERIAL NO: _____

APPLICANT: M. Rohleder et al.

LERNER AND GREENBERG P.A.

P.O. BOX 2480

HOLLYWOOD, FLORIDA 33022

TEL. (954) 925-1100
